

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-264860

(43)公開日 平成11年(1999)9月28日

(51)Int.Cl.
G 0 1 R 31/3185
31/28
H 0 1 L 27/04
21/822

識別記号

F I
G 0 1 R 31/28
H 0 1 L 27/04

W
V
T

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平10-67443
(22)出願日 平成10年(1998)3月17日

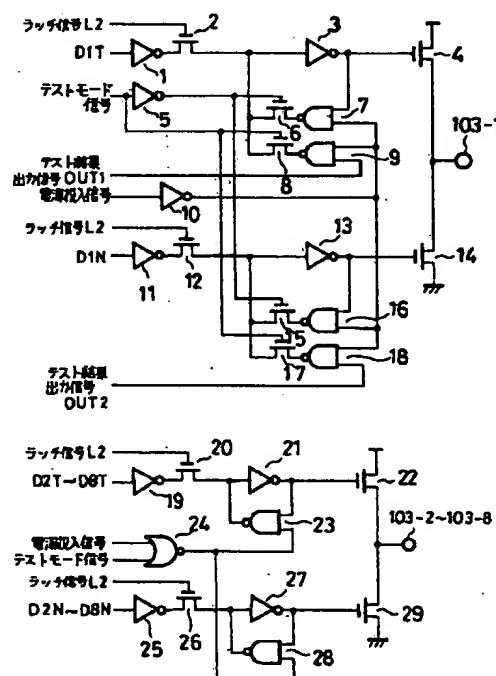
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 北村 守
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 テストモードを有する半導体装置の出力回路

(57)【要約】

【課題】 ビット圧縮テストモードで出力回路として使用しない出力回路部の出力トランジスタをテストモードのときに確実にオフすることができる出力回路を提供する。

【解決手段】 出力回路部のラッチ信号をビット圧縮テストモード時に停止するテストモード信号と同一の信号を、ビット圧縮テストモード時に使用しない出力回路部にも入力し、その出力トランジスタをオフにする。即ち、電源投入信号及びテストモード信号をNOR素子2 4に入力し、その出力をラッチ回路のNAND素子2 3に入力する。これにより、テストモード時には、ハイ出力用トランジスタ2 2及びロウ出力用トランジスタ2 9をオフにする。



【特許請求の範囲】

【請求項1】 データビット数を内部で圧縮してテスト結果を一部の出力ピンに出力するテストモードを有する半導体装置の出力回路であって、電源と接地との間に直列接続されたハイ出力用のMOSトランジスタ及びロウ出力用のMOSトランジスタと、これらのトランジスタの相互接続点に接続された出力端子と、前記各トランジスタのゲートに接続されたラッチ回路とを有し、前記テストモードの際、テストモードの出力結果を出力する出力回路部では、テストモードを示す信号によって前記ラッチ回路に設けたトランസフアトランジスタが閉じられているテストモードを有する半導体装置の出力回路において、前記テストモードの出力結果を出力しない出力回路部のラッチ回路にも前記テストモードを示す信号を入力し、前記ハイ出力用及びロウ出力用トランジスタをオフすることを特徴とするテストモードを有する半導体装置の出力回路。

【請求項2】 データビット数を内部で圧縮してテスト結果を一部の出力ピンに出力するテストモードを有する半導体装置の出力回路において、テストモードの出力結果を出力する1又は複数の第1の出力回路部とテストモードの出力結果を出力しない1又は複数の第2の出力回路部とを有し、前記第1の出力回路部は、電源と接地との間に直列接続されたハイ出力用のMOSトランジスタ及びロウ出力用のMOSトランジスタと、これらのトランジスタの相互接続点に接続された出力端子と、前記ハイ出力用トランジスタのゲートに第1ラッチ回路を介してハイ又はロウの信号を入力させる第1手段と、前記ロウ出力用トランジスタのゲートに第2ラッチ回路を介してハイ又はロウの信号を入力させる第2手段と、を有し、前記第2の出力回路部は、電源と接地との間に直列接続されたハイ出力用のMOSトランジスタ及びロウ出力用のMOSトランジスタと、これらのトランジスタの相互接続点に接続された出力端子と、前記ハイ出力用トランジスタのゲートに第3ラッチ回路を介してハイ又はロウの信号を入力させる第3手段と、前記ロウ出力用トランジスタのゲートに第4ラッチ回路を介してハイ又はロウの信号を入力させる第4手段と、を有し、テストモード時には、テストモードを示す信号を前記第1及び第2ラッチ回路に与えてそのトランಸフアトランジスタを閉じると共に、前記第3及び第4ラッチ回路にも前記テストモードを示す信号を与えて前記ハイ出力用及びロウ出力用トランジスタをオフすることを特徴とするテストモードを有する半導体装置の出力回路。

【請求項3】 前記第3及び第4ラッチ回路は、出力端が前記ハイ出力用又はロウ出力用トランジスタのゲートに接続されたインバータと、このインバータの出力端に输入端が接続され前記インバータの输入端に出力端が接続されたNAND素子と、前記NAND素子の他方の输入端に出力端が接続されたNOR素子と、を有し、前記

NOR素子には、電源投入信号及びテストモード信号を入力することを特徴とする請求項2に記載のテストモードを有する半導体装置の出力回路。

【請求項4】 前記第3及び第4ラッチ回路は、出力端が前記ハイ出力用又はロウ出力用トランジスタのゲートに接続されたNOR素子と、このNOR素子の出力端に输入端が接続され前記NOR素子の一方の输入端に出力端が接続されたNAND素子と、前記NAND素子の他方の输入端に出力端が接続されたインバータと、を有し、前記インバータには電源投入信号を入力し、前記NOR素子の他方の输入端には、テストモード信号を入力することを特徴とする請求項2に記載のテストモードを有する半導体装置の出力回路。

【請求項5】 前記第1及び第2ラッチ回路は、出力端が前記ハイ出力用又はロウ出力用トランジスタのゲートに接続されたインバータと、このインバータの出力端に输入端が接続されたNAND素子と、このNAND素子の出力端と前記インバータの输入端との間に接続されたトランಸフアトランジスタと、を有し、前記NAND素子の他方の输入端には電源投入信号の反転信号を入力すると共に、前記トランಸフアトランジスタのゲートにはテストモード信号の反転信号を入力することを特徴とする請求項2に記載のテストモードを有する半導体装置の出力回路。

【請求項6】 前記第1の出力回路部は、テスト結果出力信号及び電源投入信号の反転信号が入力されるNAND回路と、このNAND回路の出力端と前記インバータの输入端との間に接続された第2トランಸフアゲートとを有し、この第2トランಸフアトランジスタのゲートにはテストモード信号を入力することを特徴とする請求項2乃至5のいずれか1項に記載のテストモードを有する半導体装置の出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はテストモードを有する半導体装置の出力回路に関し、特にビット圧縮テスト機能を備えた出力回路に関する。

【0002】

【従来の技術】 図3はビット圧縮テスト機能を備えた出力回路のデータ出力部の構成を示すブロック図である。読み出し動作時、読み出しバス(B1T, B1N)、... (BnT, BnN)には選択されたメモリセルから読み出されるnビットの読み出しデータが出力され、これらのデータはデータラッチ回路101-1~101-nによってラッチされる。データラッチ回路101-1~101-nの出力信号(D1T, D1N)、... (DnT, DnN)は、通常モード時は出力回路部102-1~102-nに入力され、各出力端子103-1~103-nにデータが出力される。ビット圧縮テストモード時は、データラッチ回路101-1~101-n

の出力信号D_{1T}～D_{nT}はビット圧縮回路4に入力され、任意のビット数に圧縮される。図3の例では1ビットに圧縮され、データは出力回路部102-1にのみ入力され、出力端子3-1にのみ出力される。テストモード信号及びクロック信号はラッチ信号発生回路105に入力され、このラッチ信号発生回路105から出力されたラッチ信号はラッチ回路101-1～101-nに入力されると共に、出力回路部102-1～102-nに入力される。電源投入回路106から出力された電源投入信号は出力回路部102-1～102-nに入力される。

【0003】次に、従来から使用されている電源投入時の出力回路の出力ハイインピーダンス化について説明する。通常、半導体装置では電源投入時にシステム上で誤動作を起さないように、電源投入時にのみ発生するリセット信号を作成して出力トランジスタをオフにする。

【0004】図4は電源投入時の電源と電源投入回路106の電源投入信号（出力トランジスタリセット信号）の波形の一例を示す。電源が上昇するに従って電源投入信号も上昇し、一定の時間がたつと、電源投入信号はLOWレベルに戻る。この信号の波形は一例であるが、このような信号を使用すれば、図5に示す出力回路において、出力トランジスタ4、14、22、29をオフできる。但し、このような回路の動作は電源の立ち上がり時間などに依存し、必ず電源投入信号が出力されるとは限らない。

【0005】図5は従来の出力回路を示す回路図である。図6は8ビットの場合の通常の読み出し動作時のタイミングチャート、図7はラッチ信号発生回路105を示す回路図である。これらの具体的な回路例を示す図を使用して、読み出し動作及びビット圧縮テストモード時の動作について具体的に説明する。

【0006】先ず、通常の読み出し動作時について説明する。図7のラッチ信号発生回路105は、遅延回路37により、クロック信号を遅延させてラッチ信号L1を作成する。通常の読み出し動作では、テストモード信号はLOWレベルとなっており、読み出しバスB1T、B1N～B8T、B8Nのデータは、図7のラッチ信号発生回路105でクロック信号を遅延させて作成されたラッチ信号L1によってデータラッチ回路101-1～101-8でラッチされる。

【0007】図5の出力回路部102-1～102-8は出力回路部にラッチ回路が存在する構成となっており、通常読み出し時のデータ伝達バスに論理を追加して伝達時間を遅らせたくないため、ビット圧縮テストモード時に、データ出力用回路はラッチ回路のNAND素子7、16、31、34にインバータ素子10、32を介して電源投入信号が入力され、NAND素子9、18にはテスト結果信号OUT1、OUT2が入力されている。ラッチされた信号D_{1T}、D_{1N}～D_{8T}、D_{8N}

はラッチ信号L2によって出力回路部102-1～102-8でラッチされ、各出力端子103-1～103-8に出力される。

【0008】次に、データ圧縮テストモード時について説明する。図8はデータ圧縮テストモード時のタイミングチャート図、図9はデータビット数が8ビットの場合のビット圧縮回路を示す回路図である。読み出しバスB1T、B1N～B8T、B8Nのデータは、図7のラッチ信号発生回路で作成されたラッチ信号L1によってデータラッチ回路101-1～101-8でラッチされる。ラッチされた信号D_{1T}～D_{8T}は、図9のデータ圧縮回路で1ビットに圧縮される。

【0009】図9のデータ圧縮回路はD_{1T}～D_{8T}の全てのデータが同一か否かを判定する論理回路である。D_{1T}～D_{8T}が同一であると、テスト結果出力信号OUT1はLOWレベル、テスト結果出力信号OUT2はHIGHレベルとなり、1つでも異なるデータがあると、テスト結果出力信号OUT1はHIGHレベル、テスト結果出力信号OUT2はLOWレベルとなる。

【0010】つまり、テスト結果出力信号OUT1がLOWレベル、テスト結果出力信号OUT2がHIGHレベルの場合はテストをバス、テスト結果出力信号OUT1がHIGHレベル、テスト結果出力信号OUT2がLOWレベルの場合はテストをフェイルと判定される。

【0011】また、テストモード信号によってビット圧縮テストモード以外ではテスト結果出力信号OUT1、OUT2はLOWレベルに固定される論理となっている。また、ラッチ信号L2は出力回路部に入力される信号でテストモード信号とクロック信号の論理で作成されているのでテストモード時はLOWレベルに固定される。従って、出力回路部のトランジスタ2、12、20、26は閉じたままとなる。ビット圧縮回路で1ビットに圧縮されたテスト結果出力信号OUT1、OUT2は出力回路部のラッチ回路部のNAND素子9及びNAND素子18に入力され、テスト結果出力信号OUT1がLOWレベル、テスト結果出力信号OUT2がHIGHレベルのときは、出力トランジスタ4がオフ、出力トランジスタ14がオンとなり、出力端子103-1にLOWデータが出力され、テスト結果出力信号OUT1がHIGHレベル、テスト結果出力信号OUT2がLOWレベルのときは出力トランジスタ4がオン、出力トランジスタ14がオフとなり、出力端子103-1にHIGHデータが出力される。

【0012】

【発明が解決しようとする課題】しかしながら、上述した従来の出力回路には以下に示す問題点がある。即ち、電源投入時に電源投入信号が出力されないような電源投入条件において、誤ってビット圧縮テストモードに入っている場合、出力回路部のラッチ信号L2がオフ状態で固定となり、テスト結果を出力しない出力回路部にどち

らのデータがラッチされているかわからず、出力端子にデータが出力され続ける可能性がある。

【0013】本発明はかかる問題点に鑑みてなされたものであって、電源投入時に誤ってビット圧縮テストモードに入っている場合も出力端子からデータが出力されることを回避することができるテストモードを有する半導体装置の出力回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本願第1発明に係るテストモードを有する半導体装置の出力回路は、データビット数を内部で圧縮してテスト結果を一部の出力ビンに出力するテストモードを有する半導体装置の出力回路であって、電源と接地との間に直列接続されたハイ出力用のMOSトランジスタ及びロウ出力用のMOSトランジスタと、これらのトランジスタの相互接続点に接続された出力端子と、前記各トランジスタのゲートに接続されたラッチ回路とを有し、前記テストモードの際、テストモードの出力結果を出力する出力回路部では、テストモードを示す信号によって前記ラッチ回路に設けたトランジスタが閉じられているテストモードを有する半導体装置の出力回路において、前記テストモードの出力結果を出力しない出力回路部のラッチ回路にも前記テストモードを示す信号を入力し、前記ハイ出力用及びロウ出力用トランジスタをオフすることを特徴とする。

【0015】本願第2発明に係るテストモードを有する半導体装置の出力回路は、データビット数を内部で圧縮してテスト結果を一部の出力ビンに出力するテストモードを有する半導体装置の出力回路において、テストモードの出力結果を出力する1又は複数の第1の出力回路部とテストモードの出力結果を出力しない1又は複数の第2の出力回路部とを有し、前記第1の出力回路部は、電源と接地との間に直列接続されたハイ出力用のMOSトランジスタ及びロウ出力用のMOSトランジスタと、これらのトランジスタの相互接続点に接続された出力端子と、前記ハイ出力用トランジスタのゲートに第1ラッチ回路を介してハイ又はロウの信号を入力させる第1手段と、前記ロウ出力用トランジスタのゲートに第2ラッチ回路を介してハイ又はロウの信号を入力させる第2手段と、を有し、前記第2の出力回路部は、電源と接地との間に直列接続されたハイ出力用のMOSトランジスタ及びロウ出力用のMOSトランジスタと、これらのトランジスタの相互接続点に接続された出力端子と、前記ハイ出力用トランジスタのゲートに第3ラッチ回路を介してハイ又はロウの信号を入力させる第3手段と、前記ロウ出力用トランジスタのゲートに第4ラッチ回路を介してハイ又はロウの信号を入力させる第4手段と、を有し、テストモード時には、テストモードを示す信号を前記第1及び第2ラッチ回路に与えてそのトランジスタを閉じると共に、前記第3及び第4ラッチ回路にも前記テストモードを示す信号を与えて前記ハイ出力用

及びロウ出力用トランジスタをオフすることを特徴とする。

【0016】この第2発明のテストモードを有する半導体装置の出力回路において、前記第3及び第4ラッチ回路は、出力端が前記ハイ出力用又はロウ出力用トランジスタのゲートに接続されたインバータと、このインバータの出力端に入力端が接続され前記インバータの入力端に出力端が接続されたNAND素子と、前記NAND素子の他方の入力端に出力端が接続されたNOR素子と、を有し、前記NOR素子には、電源投入信号及びテストモード信号を入力するように構成することができる。

【0017】一方、前記第3及び第4ラッチ回路は、出力端が前記ハイ出力用又はロウ出力用トランジスタのゲートに接続されたNOR素子と、このNOR素子の出力端に入力端が接続され前記NOR素子の一方の入力端に出力端が接続されたNAND素子と、前記NAND素子の他方の入力端に出力端が接続されたインバータと、を有し、前記インバータには電源投入信号を入力し、前記NOR素子の他方の入力端には、テストモード信号を入力するように構成することもできる。

【0018】また、前記第1及び第2ラッチ回路は、出力端が前記ハイ出力用又はロウ出力用トランジスタのゲートに接続されたインバータと、このインバータの出力端に入力端が接続されたNAND素子と、このNAND素子の出力端と前記インバータの入力端との間に接続されたトランジスタと、を有し、前記NAND素子の他方の入力端には電源投入信号の反転信号を入力すると共に、前記トランジスタのゲートにはテストモード信号の反転信号を入力するように構成することができる。

【0019】更に、前記第1の出力回路部は、テスト結果出力信号及び電源投入信号の反転信号が入力されるNAND回路と、このNAND回路の出力端と前記インバータの入力端との間に接続された第2トランジスタのゲートとを有し、この第2トランジスタのゲートにはテストモード信号を入力するように構成することができる。

【0020】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。図1は本発明の実施例に係る出力回路を示す回路図である。HIGHデータ出力用N型MOSトランジスタ4と、LOWデータ出力用N型MOSトランジスタ14とが電源と接地との間に直列に接続されている。両トランジスタの接続点に出力端子103-1が接続されている。ラッチされた信号D1Tは2段のインバータ1, 3を経てトランジスタ4のゲートに入力される。インバータ1とインバータ3との間にはN型MOSトランジスタ2が接続されており、このトランジスタ2はラッチ信号L2によりオン・オフされる。同様に、トランジスタ14のゲートには、ラッチさ

れた信号D1Nが入力されるインバータ11、ラッチ信号L2によりオン・オフされるN型トランジスタ12及びインバータ13の直列接続体が接続されている。

【0021】インバータ3、13の出力は夫々NAND素子7、16の一方の入力に接続され、NAND素子7、16の他方の入力には電源投入信号のインバータ10による反転信号が入力される。また、この電源投入信号の反転信号はNAND素子9、18の一方の入力にも与えられる。NAND素子9、18の他方の入力には、夫々テスト結果出力信号OUT1、OUT2が入力される。

【0022】NAND素子7、9の出力は夫々N型MOSトランジスタ6、8を介してインバータ3とトランジスタ2との間に与えられる。また、NAND素子16、18の出力はN型MOSトランジスタ15、17を介してインバータ13とトランジスタ12との間に与えられる。トランジスタ6、15のゲートにはテストモード信号をインバータ5により反転した信号が入力され、トランジスタ8、17のゲートにはテストモード信号が入力される。

【0023】一方、出力端子103-2～103-8は、夫々、電源と接地との間に直列に接続されたHIGHデータ出力用N型MOSトランジスタ22とLOWデータ出力用MOSトランジスタ29との間に接続されている。トランジスタ22のゲートには、ラッチされた信号D2T～D8Tが入力されるインバータ19と、ラッチ信号L2によりオン・オフされるN型MOSトランジスタ20と、インバータ21との直列接続体が接続されており、インバータ21の出力はNAND素子23の一方の入力に与えられ、NAND素子23の出力はインバータ21の入力に与えられる。同様に、トランジスタ29のゲートには、ラッチされた信号D2N～D8Nが入力されるインバータ25と、ラッチ信号L2によりオン・オフされるN型MOSトランジスタ26と、インバータ27との直列接続体が接続されている。そして、インバータ27の出力はNAND素子28にも与えられ、NAND素子28の出力はインバータ27の入力に与えられる。

【0024】而して、本実施例に係る出力回路が、図5に示す従来の出力回路と異なる点は、NAND素子23、28の他方の入力端に、NOR素子24の出力が入力され、このNOR素子24には電源投入信号とテストモード信号が入力される点である。その他の構成は図5に示す従来の出力回路と同様である。

【0025】次に、このように構成された本実施例の出力回路の動作について説明する。読み出し及びピット圧縮テストモード時の動作は従来と同様である。即ち、通常の読み出し動作時には、図7のラッチ信号発生回路105の遅延回路37により、クロック信号を遅延させてラッチ信号L1を作成する。通常の読み出し動作では、

テストモード信号はLOWレベルとなっており、読み出しバスB1T、B1N～B8T、B8Nのデータは、図7のラッチ信号発生回路105でクロック信号を遅延させて作成されたラッチ信号L1によってデータラッチ回路101-1～101-8でラッチされる。

【0026】ピット圧縮テストモード時に、データ出力用の出力回路部102-1においては、ラッチ回路のNAND素子7、16にインバータ10を介して電源投入信号が入力され、NAND素子9、18にはテスト結果信号OUT1、OUT2が入力される。テスト結果信号OUT1、OUT2は、従来と同様にしてピット圧縮回路104にて生成される(図8、9)。ラッチされた信号D1T、D1Nはラッチ信号L2によって出力回路部102-1でラッチされ、出力端子103-1に出力される。このテストモード時のデータ出力用の出力回路部の動作は図5に示す従来の出力回路部と同様である。

【0027】テストモード時に圧縮されたデータを出力しない出力回路部102-2～102-8においては、従来の出力回路部と動作が異なる。即ち、テストモード時に圧縮されたデータを出力しない出力回路部102-2～102-8においては、NOR素子24に、ラッチ信号L2を停止させるテストモード信号と同じ信号が入力され、ラッチ回路部のNAND素子23、28の他方の入力に伝達される。これにより、出力トランジスタがオフされるので、ラッチ信号L2がテストモード信号によってLOWレベルに固定されれば、テストモード時にデータが出力されない出力回路部102-2～102-8の出力端子103-2～103-8からは決してデータが出力されることはない。また、電源投入時に誤ってピット圧縮テストモードになっていたとしても、出力トランジスタはテストモード信号によって確実にオフできることになる。

【0028】次に、図2を参照して本件発明の第2実施例について説明する。本実施例が図1に示す実施例と異なる点は、テストモード時に圧縮されたデータを出力しない出力回路部102-2～102-8へのテストモード信号の入力位置である。図2に示すように、トランジスタ22及びトランジスタ29のゲートと、夫々トランジスタ20及び26との間には、図1のインバータ21、27の代わりに、NOR素子30、33が接続されている。テストモード信号はこのNOR素子30、33の他方の入力に入力されるようになっている。そして、NOR素子30、33の出力は夫々NAND素子31、34の一方の入力に与えられ、NAND素子31、34の他方の入力には電源投入信号をインバータ32により反転した信号が与えられる。

【0029】本実施例においては、ラッチ信号L2を停止させるテストモード信号と同じ信号がNOR素子30、33に入力され、出力トランジスタがオフされるので、ラッチ信号L2がテストモード信号によってLOW

レベルに固定されれば、テストモード時にデータを出力されない出力回路部102-2～102-8の出力端子103-2～103-8からは決してデータが出力されることはない。

【0030】なお、本実施例においても、読み出し及びビット圧縮テストモード時の圧縮されたデータを出力する出力回路部102-1の動作は従来と同様であるのでその説明は省略する。

【0031】

【発明の効果】以上説明したように、本発明の出力回路は、ビット圧縮テストモード時に出力回路のラッチ信号を停止させる信号と同一の信号を、データを出力しない出力回路部に入力することによって、ハイ又はロウの出力用トランジスタを確実にオフにすることができます。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る出力回路を示す回路図である。

【図2】本発明の第2実施例に係る出力回路を示す回路図である。

【図3】ビット圧縮テスト回路を有する半導体装置の構成を示すブロック図である。

【図4】電源投入時の電源投入信号波形を示す図である。

【図5】従来の出力回路を示す回路図である。

【図6】読み出し動作時における信号波形図である。

【図7】ラッチ信号発生回路を示す回路図である。

【図8】ビット圧縮テストモード動作時における信号波形図である。

【図9】ビット圧縮回路を示す回路図である。

【符号の説明】

1, 3, 5, 10, 11, 13, 19, 21, 25, 27, 32, 36, 40: インバータ

6, 8, 12, 15, 17, 20, 26: N型MOSトランジスタ

4, 22: HIGHデータ出力用N型MOSトランジスタ

7, 9, 16, 18, 23, 28, 31, 34, 35, 38: NAND素子

14, 29: LOWデータ出力用N型MOSトランジスタ

4, 24, 30, 33, 39: NOR素子

37: 遅延回路

101-1～101-n: ラッチ回路

102-1～102-n: 出力回路

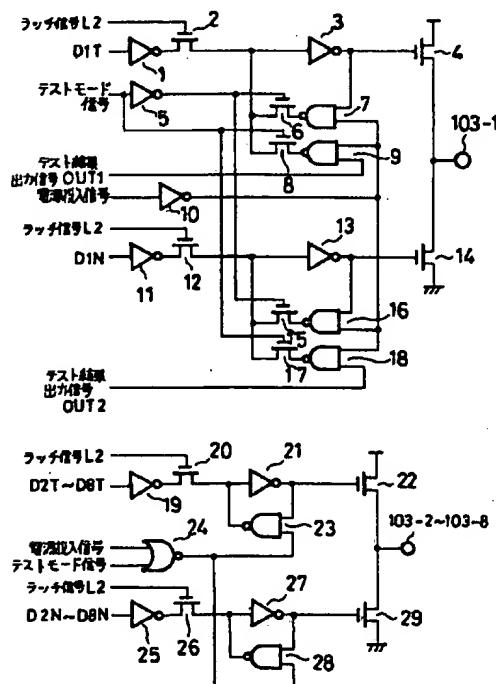
103-1～103-n: 出力端子

104: ビット圧縮回路

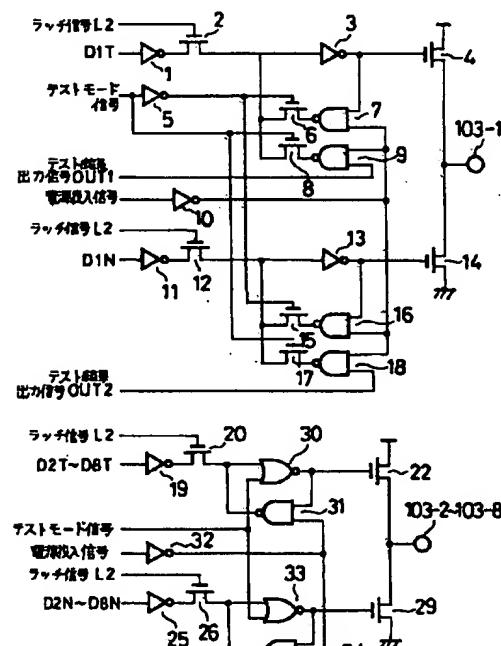
105: ラッチ信号発生回路

106: 電源投入回路

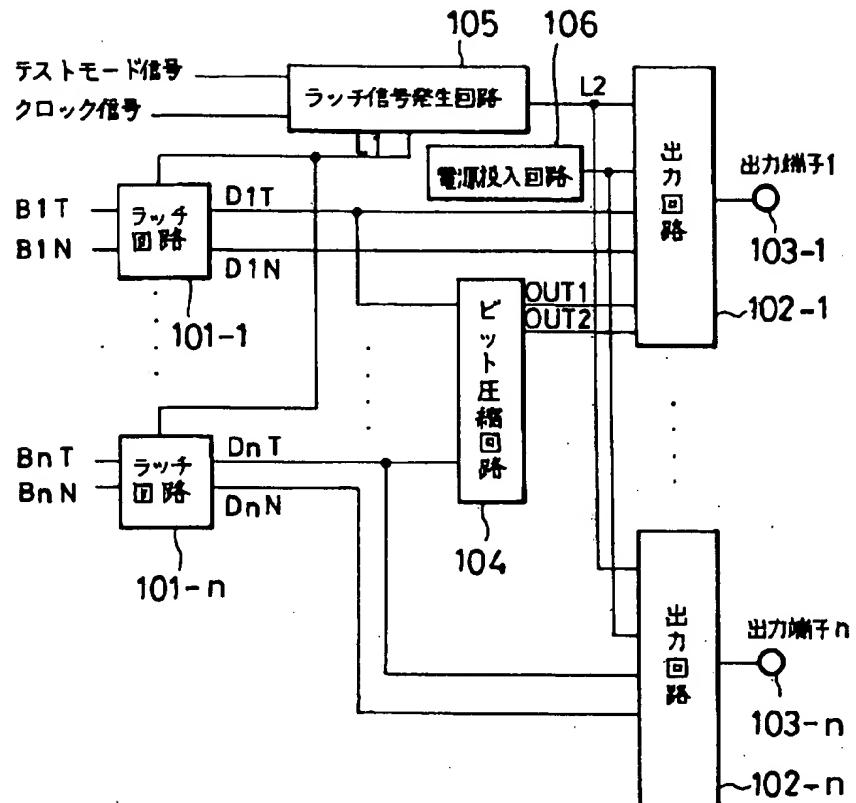
【図1】



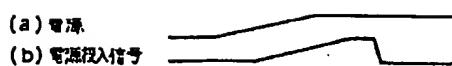
【図2】



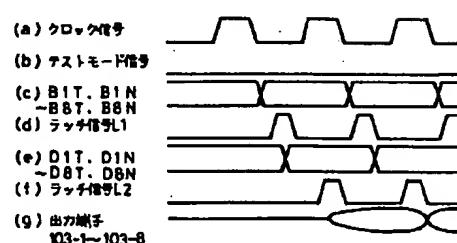
【図3】



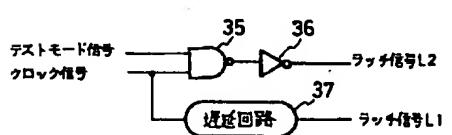
【図4】



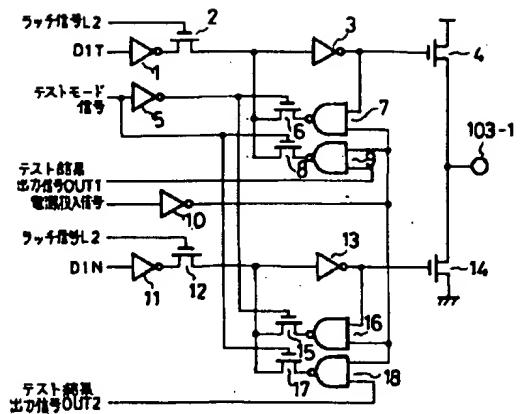
【図6】



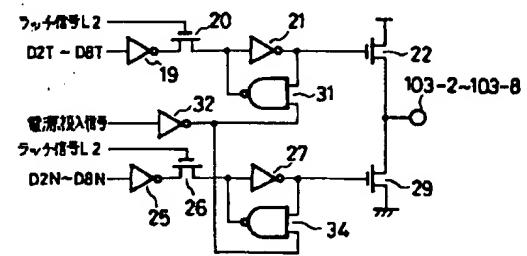
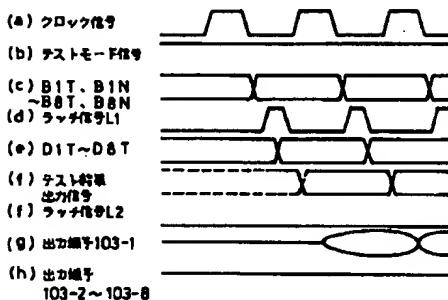
【図7】



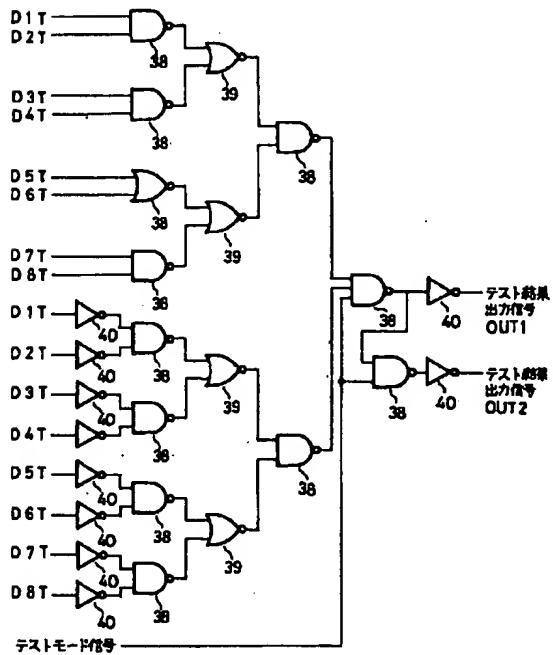
【図5】



【図8】



【図9】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-264860
(43)Date of publication of application : 28.09.1999

(51)Int.Cl. 601R 31/3185
601R 31/28
H01L 27/04
H01L 21/822

(21)Application number : 10-067443
(22)Date of filing : 17.03.1998

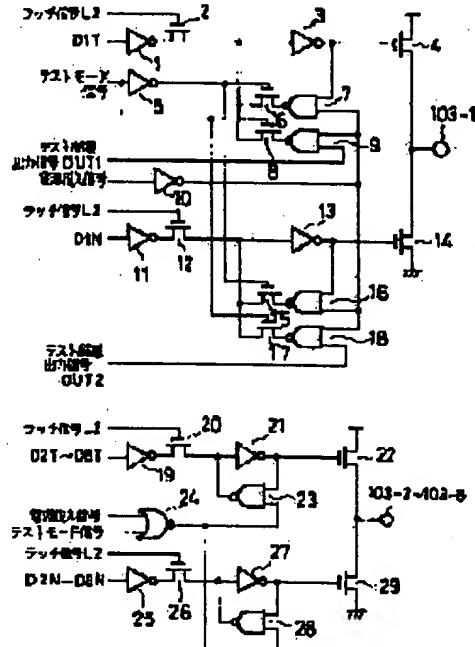
(71)Applicant : NEC CORP
(72)Inventor : KITAMURA MAMORU

(54) OUTPUT CIRCUIT OF SEMICONDUCTOR DEVICE WITH TEST MODE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an output circuit capable of turning off the output transistor of an output circuit part that is not used as an output circuit in a bit compression test mode, in a test mode.

SOLUTION: The same signal as a test mode signal for stopping the latch signal of an output circuit part in a bit compression test mode is inputted also to an output circuit part that is not used in the bit compression test mode, thus turning off the output transistor. More specifically, a power supply on signal and a test mode signal are inputted to an NOR element 24 and the output is inputted to an NAND element 23 of the latch circuit, thus turning off a transistor 22 for high output and a transistor 29 for low output in the test mode.



LEGAL STATUS

[Date of request for examination] 17.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3047883

[Date of registration] 24.03.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

rejection]

[Date of extinction of right]

Partial Translation of JP264860

[0002] [Prior Art]

Fig.3 is a block diagram showing the structure of the data output unit of an output circuit having a bit-compression test function. In read-out busses (B1T,B1N)... (BnT,BnN), during read-out mode, n-bit read-out data read out from a selected memory cell is output, and this data is latched by data latch circuits 101-1~101-n. During normal mode, output signals (D1T,D1N)... (DnT,DnN) of data latch circuits 101-1~101-n are input to output circuits 102-1~102-n, and this data is output from data terminals 103-1~103-n. During bit compression test mode, output signals D1T-DnT of data circuits 101-1~101-n are input to bit compression circuit 4 and compressed to an arbitrary number of bits. In the example of Fig 3, data is compressed to 1 bit, input only to output circuit 102-1, and output only to output terminal 103-1. The test mode signal and the clock signal are input to latch signal generator circuit 105, and the latch signal, output from said latch signal generator circuit 105, is input to latch-circuits 101-1~101-n and to output circuits 102-1~102-n. The power supply on signal, output from power supply circuit 106, is input to output circuits 102-1~102-n.

[0003]

Next, setting output circuit output to high impedances as conventionally performed during power-up will be explained. Normally in semiconductor devices, in order to avoid faulty system behavior during power-up, a reset signal that is generated only at power-up is produced, and the output transistor is turned off.

[0004]

Fig 4 shows an example of the wave forms of the power supply at power-up and of the power supply on signal (the output transistor reset signal) of power supply circuit 106. As the power supply [voltage] increases, the power supply on signal [strength] also increases, but after a given interval, the power supply on signal returns to LOW. This signal wave-form is an example, and by using this kind of signal, output transistors 4, 14, 22, and 29 in the output circuits shown in Fig 5 can be turned off. However, the behavior of this kind of circuit depends, among other things, on the duration of the power supply boot-up process, and the power supply on signal may not always be output.

[0005]

Fig 5 is a circuit diagram showing a conventional output circuit. Fig 6 is a common read-out mode timing chart of an 8-bit output circuit, and Fig 7 is a circuit diagram showing latch signal generator circuit 105. Functioning of read-out mode and bit compression mode will now be concretely explained using these concrete example circuits.

[0006]

To begin with, normal read-out functioning will be explained. Latch signal generator circuit 105 of Fig 7 delays the clock signal and creates latch signal L1 by means of delay circuit 3. In normal read-out mode, the test mode signal is maintained LOW, and data of read-out busses B1T, B1N-B8T, B8N is latched in data latch circuits 101-1~101-8 by

means of latch signal L1, which is produced by delaying the clock signal in latch signal generator circuit 105 of Fig 7.

[0007]

Output circuits 102-1~102-8 of Fig 5 are structured to include latch circuits. Adding logic [circuitry] to the data transmission bus used in read-out mode would cause undesirable transmission delay, so during bit-compression test mode in the data output circuit, the power supply on signal is input to latch circuit NAND gates 7,16,31 and 34 via inverter gates 10 and 32, and test result signal OUT1 and OUT2 are input to NAND gates 9 and 18. Latched signals D1T,D1N-D8T,D8N are latched in output circuits 102-1~102-8 by means of latch signal L2, and output to output terminals 103-1~103-8.

[0008]

In the following, data compression test mode will be explained. Fig 8 is a data compression test mode timing chart, and Fig 9 is a circuit diagram showing an 8-bit compression circuit. Data from readout busses B1T,B1N~B8T,B8N is latched in data latch circuits 101-1~101-8 by means of latch signal L1 produced in the latch signal generator circuit of Fig 7. Latched signals D1T~D8T are compressed to 1 bit by the data compression circuit of in Fig 9.

[0009]

The data compression circuit of Fig 9 is a logic circuit which decides whether or not all data values from D1T~D8T are identical. If they are identical, test result output signal

OUT1 is set to LOW and test result output signal OUT2 to HIGH, but if even a single data value differs from the rest, test result output signal OUT1 is set to HIGH and test result output signal OUT2 is set to LOW.

[0010]

In other words, if test result output signal OUT1 is LOW and test result output signal OUT2 is HIGH, the test is said to pass, but if test result output signal OUT1 is HIGH and test result output signal OUT2 is LOW, the test said to fail.

[0011]

Further, when the test mode signal is not set to bit compression test mode, the circuit keeps test result output signals OUT1 and OUT2 is set to LOW. Further, latch signal L2, being an input signal to the output circuit units, is produced as a logical function of the test mode signal and the clock signal so as to be set to LOW during test mode.

Consequently, transfer transistors 2, 12, 20, and 26 stay closed. Test result output signals OUT1 and OUT2, having been compressed to 1 bit by the bit compression circuit, are input to NAND gates 9 and 18 of the latch circuit section of the output circuits. When test result output signal OUT1 is LOW and test result output signal OUT2 is HIGH, output transistor 4 is turned off and output transistor 14 is turned on, and a LOW signal is output to output terminal 103-1. When test result output signal OUT1 is HIGH and test result output signal OUT2 is LOW, output transistor 4 is turned on and output transistor 14 is turned off, and a HIGH data [sic] is output to output terminal 103-1.

[0012]

[Problems to be solved by the invention]

However, there is the following problem point in the above described conventional output circuit. During power-up, given power-up conditions in which the power supply on signal is not output, if bit compression mode is started by error, latch signal L2 of the output circuit is fixed to OFF, and it is impossible to know in which output circuits not outputting test data there is latched data which might continue to output to the output terminal.

[0013]

The present invention, conceived in view of this problem, aims to offer an output circuit for a semiconductor device possessing a test mode which can avoid data output from the output terminals during power-up even in the case that bit compression test mode is started by error.

[0025]

Next, the functioning of the output circuit of the so-constructed present preferred embodiment will be explained. Read-out and bit-compression modes function the same as in the conventional case. That is, during standard read-out mode, the clock signal is delayed and latch signal L1 is produced by means of delay circuit 37 of latch signal generator circuit 105 of Fig 7. During standard read-out mode, test mode signal is set to LOW, and data from read-out busses BIT, BIN~B8T, B8N is latched in data latch

circuits 101-1~101-8 by means of latch signal L1 produced by delaying the clock signal in latch signal generation circuit 105 of Fig 7.

[0026]

During bit compression test mode, in output circuit 102-1, which is used for data output, the power supply on signal is input to latch-circuit NAND gates 7 and 16 via impedance 10, and test result output signals OUT1 and OUT2 are input into NAND gates 9 and 18. Test result output signals OUT1 and OUT2 are generated in bit-compression circuit 4, the same as in the conventional case (Figs 8 and 9). Latched signals D1T and D1N are latched in output circuit 102-1 by means of latch signal L2, and are output to output terminal 103-1. The output circuit used for data output in test mode works the same as the conventional output circuit shown in Fig 5.

[0027]

The functioning of output circuits 102-2~102-8 which do not output data during test mode differs from that in a conventional output circuit. In particular, in output circuits 102-2~102-8 which do not output data during test mode, a signal identical to the test mode signal that stops latch signal L2 is input into NOR gate 24, [the output of] which is transmitted to the second input of NAND gates 23 and 28 of the latch circuit. By this arrangement, because the output transistors are turned off, if latch signal L2 is fixed to LOW by the test mode signal, by no means will any data be output from output terminals 103-2~103-8 of output circuits 102-2~102-8 which do not output data during test mode.

Further, even if bit compression test mode is started by error during power-up, it is possible to definitively switch off the output transistors by means of the test-mode signal.

[0028]

Next, a second preferred embodiment will be explained with reference to Fig 2. The point in which the present preferred embodiment differs from that shown in Fig 1 is the input position of the test mode signal to output circuits 102-2~102-8 which do not output data during test mode. As shown in Fig 2, instead of impedances 21 and 27 of Fig 1 between gates of transistors 22 and 29 and transistors 20 and 26 respectively, NOR gates 30 and 33 are used. The second input to NOR gates 30 and 33 is the test mode signal. Further, the output of NOR gates 30 and 33 is input to one input of NAND gates 31 and 34, respectively, and the power supply on signal, inverted by impedance 32, is input into the other input of NAND gates 31 and 34.

[0029]

In the present preferred embodiment, a signal identical to the test mode signal used to stop latch signal L2 is input into NOR gates 30 and 33, and because the output transistor is turned off, if latch signal L2 is set to LOW by means of the test mode signal, by no means will any data be output from output terminals 103-2~103-8 of output circuits 102-2~102-8 which do not output data during test mode.

[0030]

Further, in the present preferred embodiment, functioning of output circuit 102-1 for outputting compressed data during read-out and bit compression test mode is the same as in the conventional case, so an explanation of it will be omitted here.

[0031] [Effects of the invention]

As explained above, the output circuit of the present invention, by means of inputting to the output circuits not outputting data a signal identical to that for stopping the latch signal of the output circuit during bit compression test mode, high or low output transistors can be reliably switched off.

[Simple Explanations of the Figures]

Fig 1: Circuit diagram showing the output circuit of the first preferred embodiment of the present invention

Fig 2: Circuit diagram showing the output circuit of the second preferred embodiment of the present invention

Fig 3: Block diagram showing the structure of a semiconductor device having a bit-compressor test circuit

Fig 4: Diagram showing power supply on signal wave form at power-up

Fig 5: Circuit diagram showing a conventional output circuit

Fig 6: Signal wave-form diagram during read-out mode

Fig 7: Circuit diagram showing a latch signal generator circuit

Fig 8: Signal wave-form diagram during bit compression test mode

Fig 9: Circuit diagram showing a bit compression circuit

[Explanation of Diagram Numbering]

1, 3, 5, 10, 11, 13, 19, 21, 25, 27, 32, 36, 40: Impedances

6, 8, 12, 15, 17, 20, 26: N-type MOS transistors

4, 22: High data output N-type MOS transistors

7, 9, 16, 18, 23, 28, 31, 34, 35, 38: NAND gates

14, 29: LOW data output N-type MOS transistors

4, 24, 30, 33, 39: NOR gates

37: Delay circuit

101-1 ~ 101-n: Latch circuits

102-1 ~ 102-n: Output circuit

103-1 ~ 103-n: Output terminals

104: Bit compression circuit

105: Latch signal generator circuit

106: Power supply circuit

Fig. 4

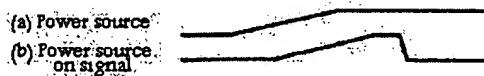


Fig. 7

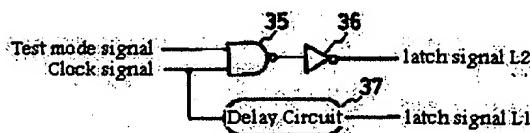


Fig. 6

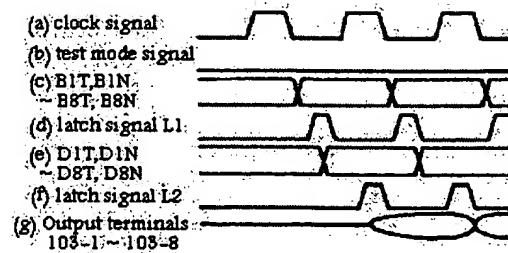


Fig. 3

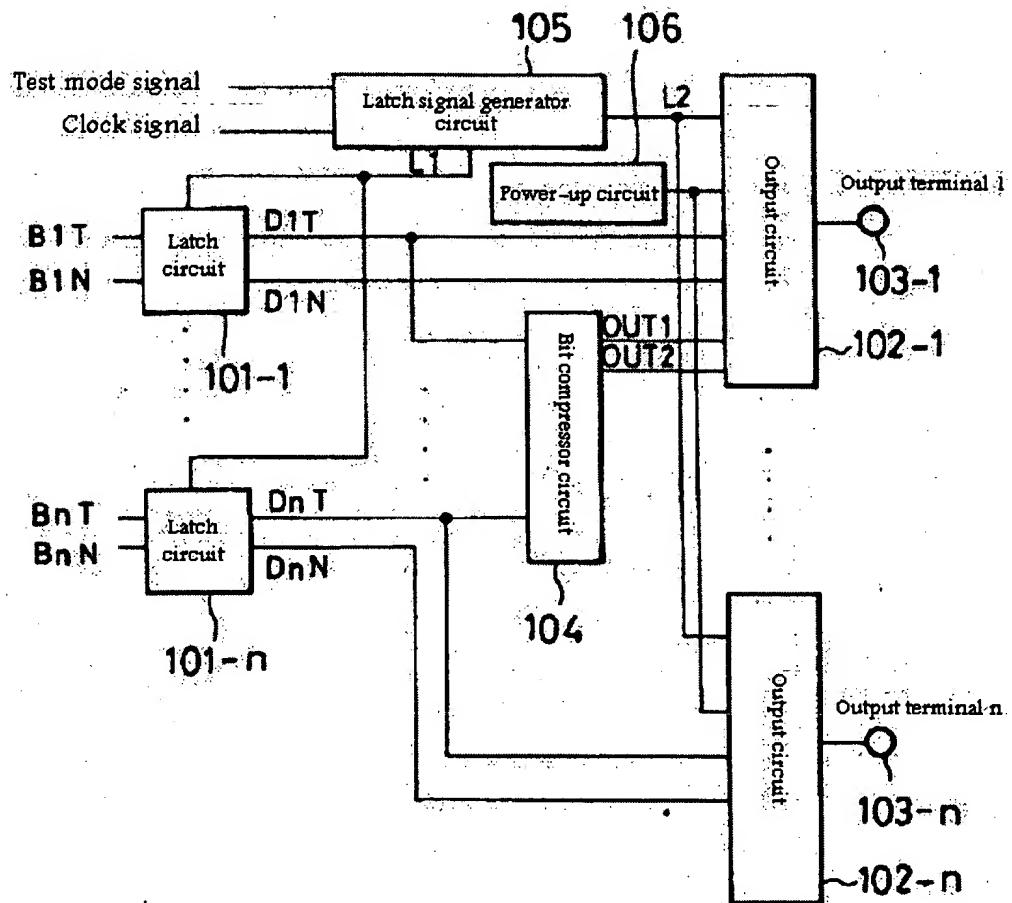


Fig 5

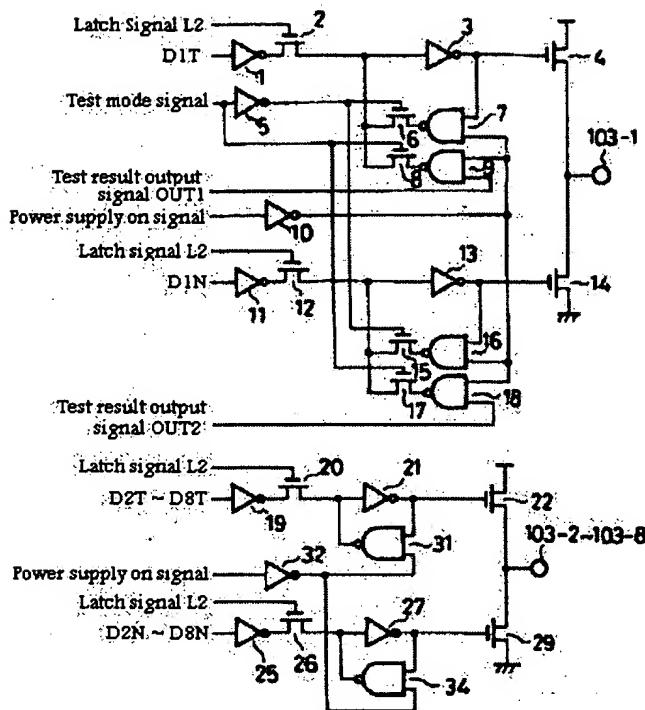


Fig 8

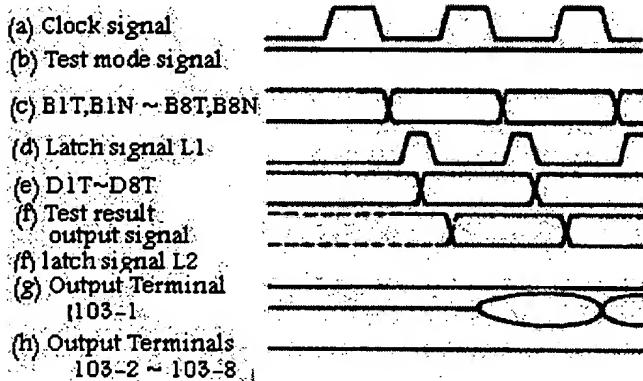


Fig 9

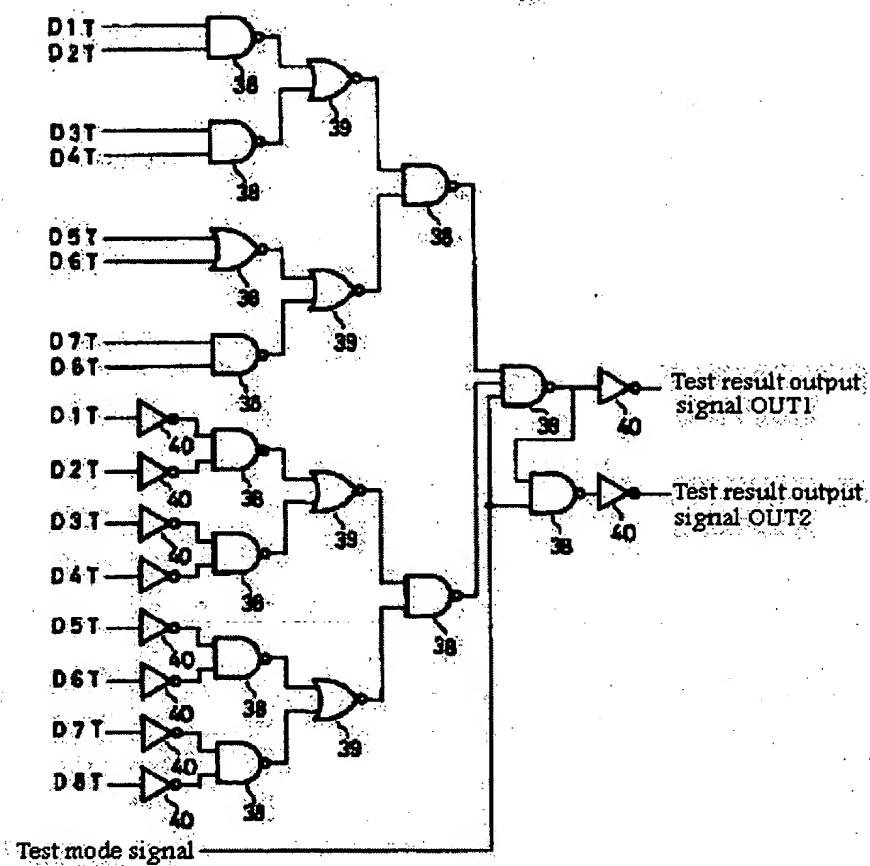


Fig. 1

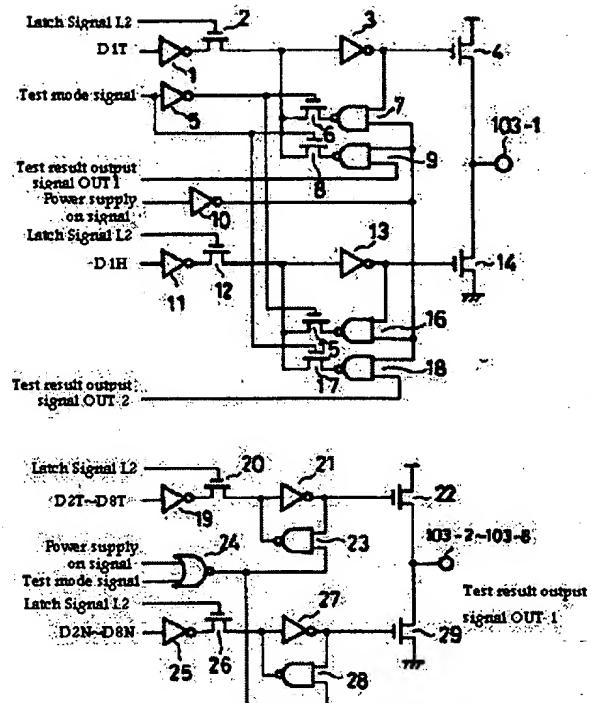
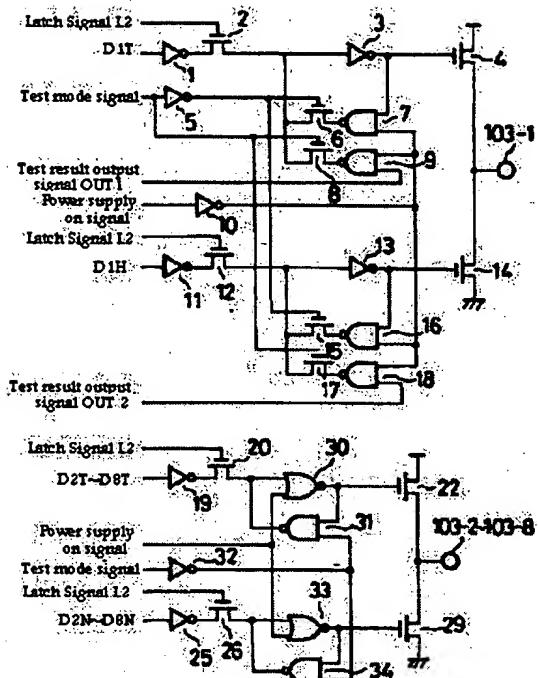


Fig. 2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.